

細粒度ディジットシリアルアーキテクチャに基づく 多値リコンフィギャラブルVLSIに関する研究

著者	岡田 信彬
号	16
学位授与機関	Tohoku University
学位授与番号	情博第498号
URL	http://hdl.handle.net/10097/59908

氏名（本籍地）	おかだ のぶあき 岡田 信彬
学位の種類	博士（情報科学）
学位記番号	情博第498号
学位授与年月日	平成23年 3月25日
学位授与の要件	学位規則第4条第1項該当
研究科、専攻	東北大学大学院情報科学研究科（博士課程）情報基礎科学専攻
学位論文題目	細粒度ディジットシリアルアーキテクチャに基づく多値リコンフィギャラブル VLSIに関する研究
論文審査委員	（主査）東北大学教授 亀山 充隆 東北大学教授 中島 康治 東北大学教授 羽生 貴弘 （工学研究科） 東北大学准教授 張山 昌論

論文内容の要旨

第1章 緒言

知能ロボットや高安全知能自動車など知能システムにおいては、環境認識、予測推定、行動計画などの処理をリアルタイムで行う必要がある。このようなリアルタイム処理を実現するためには計算量の多いアルゴリズムを高速に処理できる専用プロセッサの開発が重要である。一方で、集積回路の微細化に伴う回路の複雑化やマスクコストの増大により、フルカスタム設計に基づく専用プロセッサの開発や設計、検証を行うための金銭的コストの増大や開発期間の長期化が問題となっている。多種多様な集積回路を短期間・低コストで開発可能なハードウェアとして **FPGA** に代表されるリコンフィギャラブル **VLSI** が注目されているが、処理速度や回路面積、消費電力においてはフルカスタム設計に基づく構成には及ばないのが現況である。

本論文では細粒度ディジットシリアルアーキテクチャと多値電流モード回路を組み合わせることで、ロジックブロックと相互配線網の複雑性を小さくし高性能化を実現するリコンフィギャラブル **VLSI** を提案する。多値リコンフィギャラブル **VLSI** の構成として、演算回路の実現に適した構成と演算回路に加えて制御回路の実現にも適したロジックインコントロールアーキテクチャに基づく構成を示す。加えて、演算に必要な差動対回路の電流をオンにする細粒度電流制御を行うことで、低周波数動作時における多値リコンフィギャラブル **VLSI** の低消費電力化を実現する。

第2章 差動対回路を用いた多値リコンフィギャラブル **VLSI** のアーキテクチャ

多値リコンフィギャラブル **VLSI** は多数の演算セルから構成されており、個々のセルは隣接する8近傍のセルとのみ接続される。演算セルは様々な演算が実現可能なロジックブロックとそれらを接続するための **NMOS** トランジスタとコンフィギュレーションメモリから構成される1ビットスイッチを多数用いたスイッチブロックから構成されている。

多値リコンフィギャラブル **VLSI** では規模の小さなロジックブロックを柔軟に組み合わせて処理を実現する細粒度アーキテクチャを用いている。細粒度ロジックブロックを用いることで、処理に対し

て回路の過不足を小さくできるため稼働率の向上が実現できる。一方で、演算の実現に多くのロジックブロックが必要になる場合があるが、一般的な FPGA アーキテクチャで用いられている相互配線網は非常に複雑であるため、相互配線網に起因するオーバーヘッドが大きくなる。そこで、信号転送を局所化し、さらに 1 クロックで 1 デジットの信号転送と演算を行うディジットシリアルアーキテクチャを用いることで相互配線網の複雑性を小さくする。

多値電流モード回路技術は、1 線上に 2 値以上の情報を載せることが可能な多値論理回路と論理値を電流信号で表現する電流モード回路を融合した回路技術である。多値論理回路の性質により、2 値 CMOS 回路と比較して配線数の削減が可能であり、配線に起因する性能劣化を軽減できる。また、論理値を電流信号で表す電流モード回路の性質により、線形加算を結線のみで実現することができる。以上のような多値信号転送や結線による線形加算により、リコンフィギャラブル VLSI におけるスイッチブロックや配線の複雑性を小さくすることが可能である。加えて、多値演算を利用することでロジックブロックの高性能化や小面積化が実現可能である。

リコンフィギャラブル VLSI で実現する処理はコントロールデータフローグラフで表現されるが、コントロールデータフローグラフの 1 個のノードを 1 個の演算器に割り当てる直接アロケーションにより演算回路間の相互接続をシンプルに実現できることに加え、高並列な演算が可能になる。このような直接アロケーションを行う場合、セルは演算回路を実現するために用いられる。任意の処理は 2 値 2 変数関数を組み合わせることで実現可能であることと、応用上算術演算は良く用いられることから任意の 2 値 2 変数関数に加えて、加算、減算、乗算を効率よく実現する機能を備える。

任意の 2 値 2 変数関数は 4 値 1 変数関数である 4 値ユニバーサルリテラルに対応する。この 4 値ユニバーサルリテラルを実現するユニバーサルリテラル回路を、差動対回路を 2 段直列に接続した構成を用いて実現することで、回路の低消費電力化、小面積化を実現する。さらに、全加算器の Sum も 4 値ユニバーサルリテラルの関数の一つに対応することから、ユニバーサルリテラル回路を 2 値 2 変数関数と Sum をプログラム可能な回路として共有でき、ロジックブロック面積の削減に有効である。また、ディジットシリアルアーキテクチャにおいては 1 ワードの 1 ビット目を指し示す開始信号が必要となるが、多値信号転送が可能なことを利用してデータ信号との重畳を行うでスイッチブロックの小面積化を実現する。

90nm CMOS デザインルールに基づいて試作したチップにおいて、ユニバーサルリテラル回路を用いて構成した直列加算器の正常な入出力波形が確認できた。また、提案セルと同等の機能を持つ 2 値 CMOS 回路に基づくセルを比較したところ、セル面積を 75% に削減でき、コンフィギュレーションメモリ数も同様に削減できることが確認できた。

第 3 章 多値リコンフィギャラブル VLSI ロジックインコントロールアーキテクチャ

2 章で提案した構成は直接アロケーションによって処理のアロケーションを行っていた。直接アロケーションでは演算ノードと同数の演算回路が必要になることから多くの演算回路が必要になり、面積や使用セル数に関する制約条件を満たせない可能性がある。また有効データの到来頻度が小さい場合、稼働率が非常に低くなってしまう。

演算回路数の削減には複数の共通する演算ノードを 1 個の演算回路で実現する演算回路の共有アロケーションが有用である。共有アロケーションを行うためにはデータパスを切り替えるためのマルチプレクサやデータを保持するためのレジスタの他、これらを制御するための制御回路が必要となる。隣接セル間転送ディジットシリアルアーキテクチャにおいて制御回路を効率よく実現するため、状態

遷移図の 1 個の状態を 1 個のセルに対応させる順序論理回路の実現手法を用いる。現在の状態に対応するセルの遅延素子には“1”が記憶され、それ以外には“0”が記憶されており、状態遷移はセル間の“1”の移動で表現される。この構成ではセル間の接続複雑性を状態遷移図の状態間の依存関係と同等にできるため、隣接セル間信号転送アーキテクチャにおいても順序論理回路を容易に実現できる。また、状態遷移はセル間の“1”の移動で表現されるが、これは接続されているセルからの入力と順序論理回路の入力との論理演算結果が“1”となることに対応している。従って、論理演算を実現する際にも活用可能なプログラマブルな論理演算回路をセル内に備えることで順序論理回路が実現可能である。

多値リコンフィギュラブル VLSI は多数のセルから構成されており、隣接する 8 近傍のセル間では多値データ転送と結線による線形加算を用いることでスイッチブロックの面積を削減する。また、1 ワードの開始信号をデータ信号に重畳することで開始信号の転送に必要な配線とスイッチを削減している。

65nm CMOS デザインルールに基づいて試作したチップにおいて測定を行ったところ、提案セルのプロトタイプ構成において所望の入出力波形を確認した。提案セルを同等の機能を持つ 2 値 CMOS 回路に基づくセルを比較したところ、遅延時間はほぼ同等でコンフィギュレーションメモリ数を大幅に削減できたことからトランジスタ数を 76% に削減できることを確認した。また、処理がプログラムされていないセルにおいて消費される電力については、提案セルにおいて 41% に削減できる。制御回路を実現した際のトランジスタ数については一般的な FPGA アーキテクチャと比較して平均 81% に、2 値 CMOS 回路に基づく細粒度 FPVLSI と比較して平均 56% に削減可能である。積和演算において演算回路の共有を行ったところ、細粒度 FPVLSI と比較して共有数が 1 個～10 個の場合についてトランジスタ数を小さくできることを確認した。

第 4 章 差動対回路間電流制御信号転送に基づく低電力多値電流モード回路

多値電流モード回路は定常電流を用いて駆動していることから消費電力が周波数に関わらず一定という特徴がある。このため、高周波数動作時には 2 値 CMOS 回路と比較して消費電力を小さくすることができるが、その反面低周波数動作時には消費電力が大きくなってしまう。そこで、1 クロック内で演算を行わない時間は差動対回路の定常電流をカットオフすることで低周波数動作時の消費電力の低減を行う。

多値電流モード回路を用いたロジックブロックでは、1 クロック内で入力電流が到来した後、初段の差動対回路から順番に演算結果が出力され、最終的にフリップフロップに全体の演算結果が保持される。このとき、個々の差動対回路において演算が行われる前とフリップフロップに演算結果が保持された後は差動対回路の電流をオフにすることで消費電力の削減が可能である。このような細粒度電流制御を差動対回路間で電流制御信号を転送することで実現する。前段の差動対回路の演算結果が出力されている場合、次段の差動対回路の電流がオフからオンになったとき、演算が行われると同時にソース端の電圧値は 0[V] から一定の電圧値に変化する。この変化を検出し、次段の差動対回路の電流をオンにすることで、演算が行われる可能性のある差動対回路をオンにすることが可能である。電圧値の検出回路として PMOS トランジスタの W/L を小さくしたインバータを用いているが、1 個もしくは複数用いることで出力信号の整定後に次段の差動対回路がオンになるようにする。また、最終段の差動対回路の制御信号出力は全体の演算完了信号を表すため、これを用いることで演算完了後に差動対回路の電流をカットオフすることが可能である。一方、高周波数動作時にはこれらの制御を一切行わないことで消費電力や遅延時間のオーバーヘッドを小さくする。

提案する低電力構成を 3 章で示したロジックインコントロールアーキテクチャに基づく多値リコンフィギャラブル VLSI のロジックブロックに適用し, 65nm CMOS デザインルールを用いた HSPICE シミュレーションにより性能評価を行った. 従来の多値ロジックブロックとの比較を行ったところ, 200MHz において 42%に削減できることを確認した. 一方, 制御を行わない場合の遅延は従来構成とほぼ同等なのに対し, 制御を行った場合の遅延時間はその 2.5 倍程度となる.

第 5 章 結言

本論文では, リコンフィギャラブル VLSI の高性能化を目的として, 細粒度ディジットシリアルアーキテクチャと多値電流モード回路を組み合わせたリコンフィギャラブル VLSI の構成とその低電力化手法を示した. 今後の課題として, 面積やスループットなどの性能要求に応じて処理を適切にリコンフィギャラブル VLSI にマッピングするためのアルゴリズムの構築が重要となる. また, 提案した低電力化手法に向こうデータが到来しているときに電流を完全にカットオフする手法を組み合わせることで更なる低電力化が実現できると考えられる.

論文審査結果の要旨

リコンフィギャラブルVLSIにおいては、配線や相互結合回路に起因する性能劣化の改善と共にハードウェアリソースの有効活用による高性能化が望まれていた。著者は、高駆動能力を有する差動対回路を徹底的に活用した細粒度多値リコンフィギャラブルVLSIアーキテクチャを考案し、高性能化に有用であることを実証した。本論文はその成果を取りまとめたもので、全文5章よりなる。

第1章は、緒言である。

第2章では、コントロールデータフローグラフの1個の演算ノードを1個の演算器に割り当てる直接アロケーションに基づく細粒度ディジットシリアルアーキテクチャとその構成に適合するセル構成法を提案している。すなわち、任意の2値2変数論理関数及び全加算機能をプログラムできる、シリーズゲーティング差動対回路を用いたコンパクトなユニバーサルリテラル回路を実現している。また1線上でのデータと開始信号の重畳により、スイッチブロック面積を削減させると共に制御ビットとデータビット間のスキューを解消している。90nmCMOSデザインルールにより本回路を試作し、直列加算動作の確認と共に、面積と消費電力を共に小さくできることを明らかにしている。これは、セルの小型化と相互結合回路の複雑性を解決する重要な成果である。

第3章では、直接アロケーションのみではなく、複数演算ノードを1個の演算器で共有する演算器共有アロケーションを可能にするロジックインコントロールアーキテクチャを提案している。制御回路の効率的実現のため1個の状態を1個のセルに割り当てる方式を考案し、3段シリーズゲーティング差動対回路などの演算ハードウェアリソースとの共有化、及びセル間多値信号転送によるスイッチブロック面積の削減を可能にしている。65nmCMOSデザインルールにより本セルの試作を行い、その基本動作を確認している。これは、シーケンサが必要となる処理応用に有用となる。

第4章では、差動対回路の負荷トランジスタをオンに変化させた場合、その出力電圧がある値以上になれば出力が安定していることに着目し、1クロック内での差動対回路の細粒度電流制御を行う方式を考案している。この電流制御により、ロジックインコントロールアーキテクチャに基づく多値リコンフィギャラブルVLSIの低周波数動作時の低消費電力化が可能となることを明らかにしている。これは、電流モード回路における低電力動作を実現する有用な成果である。

第5章は結言である。

以上要するに本論文は、転送ボトルネックの解消とハードウェアリソースの効率的利用を達成するために、多値信号転送による相互結合回路の単純化と差動対回路を活用した細粒度演算セル構成法に基づくリコンフィギャラブルVLSIの革新的アーキテクチャを考案し、高性能化と低電力化に有用であることを明らかにしたもので、情報基礎科学の発展に寄与するところが少なくない。

よって、本論文は博士（情報科学）の学位論文として合格と認める。